

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

KIE-BONG KOO

Art Group:

Application No.:

Examiner:

Filed:

For: **SYNCHRONOUS DYNAMIC
RANDOM ACCESS MEMORY
DEVICE WITH SINGLE DATA
RATE/DOUBLE DATA RATE MODE**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Republic of Korea	2003-35132	31 May 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Thomas M. Coester, Reg. No. 39,637

Dated: December 29, 2003

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800



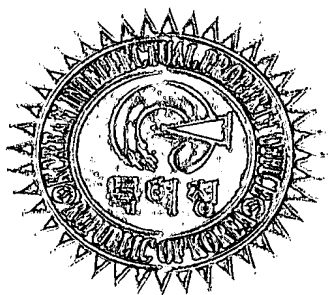
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0035132
Application Number

출원 년 월 일 : 2003년 05월 31일
Date of Application MAY 31, 2003

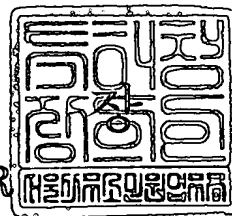
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.05.31
【발명의 명칭】	SDR / DDR 모드를 지원하는 콤보형 동기식 디램
【발명의 영문명칭】	Synchronous DRAM with SDR/DDR Mode
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	구기봉
【성명의 영문표기】	K00,Kie Bong
【주민등록번호】	720121-1903818
【우편번호】	361-240
【주소】	충청북도 청주시 흥덕구 개신동 우정 한가람 아파트 519호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	11 면 11,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	23 항 845,000 원
【합계】	885,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

단지 소자 제조 과정에서 도전층(금속층)의 마스크만을 변경하는 옵션처리에 의해 SDR과 DDR에서의 IBIS 규격을 모두 만족시킬 수 있는 콤보형 SDRAM의 데이터 출력 드라이버가 개시되어 있고, 또한, 단지 금속배선층의 마스크만을 변경하는 옵션처리에 의해 SDR 모드에서 사용되지 않는 데이터 스트로브 패드의 플로팅에 따른 오동작을 방지하기 위한 콤보형 SDRAM의 데이터 스트로브 출력 드라이버가 개시되어 있다. 본 발명에 따른 데이터 출력드라이버는 풀업 트랜지스터의 드레인단과 데이터 입출력 패드 사이에 접속된 제1입출력라인; 풀다운 트랜지스터의 드레인단과 상기 데이터 입출력 패드의 사이에 접속된 제2입출력라인; 상기 제1 및 제2 입출력라인 상에 각기 형성되는 스위칭수단들; 및 상기 스위칭수단과 병렬적으로 상기 제1 및 제2 입출력라인 상에 각기 형성되는 저항들을 구비하며, 상기 스위칭수단들은 SDR 모드 또는 DDR 모드의 선택에 따라 온 또는 오프되는 것을 특징으로 한다. 이에 의해 SDR 모드에서는 저항을 통하지 않고 풀다운 전류가 흐르게 하면서, DDR 모드의 선택시에 저항을 통해 풀다운 전류가 감소되도록 할 수 있으므로, SDR에서는 물론 DDR에서도 출력 전압/전류 특성이 IBIS에 적합하게 된다.

【대표도】

도 5

【색인어】

SDRAM, DDR SDRAM, 콤보형, 메탈 레이어 스위치, IBIS



【명세서】

【발명의 명칭】

S D R / D D R 모드를 지원하는 콤보형 동기식 디램{Synchronous DRAM with SDR/DDR Mode}

【도면의 간단한 설명】

도 1은 종래의 데이터 출력 드라이버의 구성을 도시한 도면,

도 2는 콤보형 SDRAM의 데이터 출력 드라이버에서 DDR 모드시의 전류전압특성에 대한 IOL 시뮬레이션 결과를 도시한 도면,

도 3은 본 발명의 제1실시예에 따른 콤보형 SDRAM의 데이터 출력 드라이버를 개념적으로 나타낸 구성도,

도 4는 본 발명의 제1실시예에 따른 콤보형 SDRAM의 데이터 스트로브 출력 드라이버를 개념적으로 나타낸 구성도,

도 5는 본 발명의 제2실시예에 따른 콤보형 SDRAM의 데이터 출력 드라이버를 개념적으로 나타낸 구성도,

도 6은 도 5의 스위치 및 저항을 도전층으로 구현한 예를 도시한 개념도,

도 7은 도 6의 도전층에 대한 평면도,

도 8은 확장 모드 레지스터 세트(EMRS)에 제어받는 본 발명의 데이터 출력 드라이버의 구성을 도시한 도면,



도 9a 및 도 9b는 본 발명에 따른 콤보형 SDRAM의 데이터 출력 드라이버에서 SDR 및 DDR 모드시의 전류전압특성에 대한 IOL 시뮬레이션 결과를 도시한 도면.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 SDR(Single Data Rate)과 DDR(Double Data Rate) 방식을 모두 지원하도록 소자를 설계한 다음, 제조 과정에서 옵션처리에 의해 두 모드 중 하나를 간단히 선택할 수 있는 콤보형 동기식 디램(Synchronous DRAM)에 관한 것으로서, 더욱 자세하게는 IBIS(Input/Output Buffer Information Specification : 입출력 버퍼 정보 규격)을 SDR 및 DDR 방식에서 모두 만족하도록 하는 콤보형 SDRAM에 관한 것이다.

<11> 메모리장치의 입출력(IO) 인터페이스 설계에 있어서, 임피던스 매칭(impedance matching)을 위하여 입출력의 전류량을 규격화하고 있는데, 이를 IBIS 라고 한다. 높은 동작속도를 갖는 제품일수록 노이즈 감소를 위한 목적으로 철저하게 IBIS를 관리하며, 최소-최대 스펙(min-max spec)간 전류량도 더 작게 관리하여야 한다.

<12> 도 1은 통상적인 데이터 출력 드라이버를 도시한 것이다.

<13> 도 1의 데이터 출력 드라이버는 입출력라인(IO)을 통해서 데이터 패드(DQ PAD)에 풀업 드라이버단(110)와 풀다운 드라이버단(120)의 각 출력단이 공통접속되어 연결되는 구성으로서, 풀업 제어신호 UP1B, UP2B, UP3B와 풀다운 제어신호 DN1, DN2, DN3에 의해 공급전압 VDDQ 또는 공급전압 VSSQ에 대응하는 데이터를 입출력라인(IO)으로 출력한다.

- <14> 풀업 드라이버단(110)는 3개의(도 1에서는 3개만을 도시하였으나 그 이상이 그 이하가 될 수도 있다) 풀업 드라이버(111, 112, 113)로 구성되며, 각기 확장 모드 레지스터 세트(EMRS: Extended Mode Resister Set)으로부터 제공되는 풀업 제어신호 UP1B, UP2B, UP3B에 의해 구동된다. 예컨대 풀 스트렝스(Full Strength)로 구동할 것인지 또는 하프 스트렝스(Half Strength)로 구동할 것인지에 따라 활성화되는 풀업 제어신호는 달라진다. 즉, 풀 스트렝스(Full Strength)로 구동할때에는 모든 풀업 제어신호 UP1B, UP2B, UP3B가 활성화되어 모든 풀업드라이버(111, 112, 113)가 인에이블되므로써 최대의 풀업 전류량이 흐르게 된다. 한편, 설명의 편의를 위하여 도 1에서는 풀업 드라이버(111, 112, 113)을 각각 하나의 PMOS트랜지스터로 도시하였으나, 하나의 풀업드라이버는 다수의 PMOS트랜지스터로 구성된다. 그리고, 풀업 드라이버(111)과 풀업 드라이버(112)는 서로 다른 PMOS트랜지스터의 갯수로 구성되거나 또는 서로 같은 개수로 구성될 수 있다.
- <15> 풀다운 드라이버단(120)도 앞서 설명한 바와 같은 풀업 드라이버단(110)의 구성과 그 형태가 동일하다.
- <16> 한편, 콤보형 SDRAM에서 SDR과 DDR 방식에서의 데이터 출력드라이버는 모두 도 1과 같은 형태를 사용하게 되는데, 시스템 사용자들은 SDR과 DDR에 대해서 다른 출력 전류를 원하고 있다. 즉, SDR 모드와 DDR 모드에서 각기 IBIS가 다르다.
- <17> 따라서, 동일한 회로 구성 및 사이즈의 드라이버를 사용하여 SDR 모드에서 원하는 IBIS와 DDR 모드에서 원하는 IBIS를 모두 만족 시키기가 쉽지 않다. 특히, 도 2에 도시한 바와 같이, IBIS 중에서 IOL(Output Low Current: 로우 출력 전류)의 규격을 맞추지 못하게 된다. 즉, 도 2에 도시한 DDR SDRAM의 IOL 시뮬레이션을 통해 알 수 있는 것처럼, 저전압의 선형 영역에

서 최대 속도에서의 전류값(Fast)이 시스템 사용자(인텔)에서 정한 IBIS의 한계 최대 범위(Max)를 초과하게 된다.

<18> 결국, 콤보형 SDRAM에서 도 1의 데이터 출력 드라이버를 사용하는 경우에 SDR과 DDR 모드에서의 각 IBIS를 만족할 수 없으며, 특히 폴업 제어신호 UP1B, UP2B, UP3B와 폴다운 제어신호 DN1, DN2, DN3에 의해 드라이버의 사이즈를 튜닝하더라도 트랜지스터의 특성 개선없이 DDR SDRAM의 선형 영역의 IOL 특성을 맞출 수 없다. 그리고, 트랜지스터의 특성 개선은 소자 문제로 귀착되어 트랜지스터 특성 개선으로 상기한 문제점(DDR SDRAM의 데이터 출력 드라이버에서의 선형 영역의 IOL 특성)을 해결하는 것은 많은 어려움이 따른다.

<19> 한편, DDR SDRAM은 데이터 출력 드라이버와는 별도로 데이터 스트로브(DQS) 출력 드라이버를 구비하고 있으며, DDR SDRAM에서의 데이터 스트로브 출력 드라이버는 그 회로적 구성이 데이터 출력 드라이버와 실질적으로 동일하다.

<20> 그러나, SDR SDRAM은 데이터 스트로브 신호가 사용되지 않으므로 데이터 출력 드라이버가 필요치 않다. 따라서, 콤보형 SDRAM을 설계할 때, DDR SDRAM에서만 사용되는 데이터 스트로브 패드(DQS PAD)는 SDR 모드일 경우 플로팅되어 오동작을 발생시키지 않도록 조치되어야 한다.

【발명이 이루고자 하는 기술적 과제】

<21> 도 1 및 도 2에서 확인할 수 있는 것처럼 종래의 데이터 출력 드라이버 구조로는 SDR과 DDR의 IBIS 규격을 만족시킬 수 없으며, 사이즈를 조절하더라도 트랜지스터의 특성에 대한 개선 없이는 DDR에서 선형 영역의 IOL 전류를 IBIS에 맞추기 어렵다.

<22> 따라서, 본 발명은 이러한 종래 기술의 문제점을 해결하기 위한 것으로써, 콤보형 SDRAM으로 소자를 설계한 다음 단지 소자 제조 과정에서 도전층(금속층)의 마스크만을 변경하는 옵션처리에 의해 SDR과 DDR에서의 IBIS 규격을 모두 만족시킬 수 있는 콤보형 SDRAM의 데이터 출력 드라이버를 제공하는데 그 목적이 있다.

<23> 또한, 본 발명의 다른 목적은 콤보형 SDRAM에서 단지 금속배선층의 마스크만을 변경하는 옵션처리에 의해 SDR 모드에서 사용되지 않는 데이터 스트로브 패드의 플로팅에 따른 오동작을 방지하기 위한 콤보형 SDRAM의 데이터 스트로브 출력 드라이버를 제공하는데 있다.

【발명의 구성 및 작용】

<24> 상기 목적을 달성하기 위한 본 발명의 일측면에 따르면, SDR 모드 및 DDR 모드를 지원하는 콤보형 동기식 디램의 데이터(DQ) 출력 드라이버는, 풀업 트랜지스터의 드레인단과 데이터 입출력 패드 사이에 접속된 제1입출력라인; 풀다운 트랜지스터의 드레인단과 상기 데이터 입출력 패드의 사이에 접속된 제2입출력라인; 상기 제1 및 제2 입출력라인 상에 각기 형성되는 스위칭수단들; 및 상기 스위칭수단과 병렬적으로 상기 제1 및 제2 입출력라인 상에 각기 형성되는 저항들을 구비하며, 상기 스위칭수단들은 SDR 모드 또는 DDR 모드의 선택에 따라 온 또는 오프되는 것을 특징으로 한다.

<25> 상기 목적을 달성하기 위한 본 발명의 다른 측면에 따르면, SDR 모드 및 DDR 모드를 지원하는 콤보형 동기식 디램의 데이터 스트로브 출력 드라이버는, 풀업 트랜지스터의 드레인단과 데이터 스트로브 입출력 패드 사이에 접속된 제1입출력라인; 풀다운 트랜지스터의 드레인단과 상기 데이터 스트로브 입출력 패드의 사이에 접속된 제2입출력라인; 상기 제1 및 제2 입출

력라인 상에 각기 형성되는 제1스위칭수단; 및 상기 제1스위칭수단과 병렬적으로 상기 제1 및 제2 입출력라인 상에 각기 형성되는 저항들; 및 상기 제1스위칭수단 출력측의 제1 및 제2 입출력라인과 상기 데이터 스트로브 출력 패드 사이에 각기 형성되는 제2스위칭수단들; 상기 제2스위칭수단 출력측의 제1 및 제2 입출력라인과 접지전원단 사이에 각기 형성된 제3스위칭수단들을 구비하며, 상기 제1 내지 제3 스위칭수단은 SDR 모드 또는 DDR 모드의 선택에 따라 온 또는 오프되는 것을 특징으로 한다.

<26> 상기 목적을 달성하기 위한 본 발명의 다른 측면에 따르면, 데이터 출력 드라이버와 데이터 스트로브 출력 드라이버 및 데이터 마스크 드라이버를 구비하며 SDR 모드 및 DDR 모드를 지원하는 콤보형 동기식 디램에서, 상기 데이터 출력 드라이버와 데이터 스트로브 출력 드라이버 및 데이터 마스크 드라이버는 각각,

<27> 풀업 트랜지스터의 드레인단과 입출력 패드 사이에 접속된 제1입출력라인; 풀다운 트랜지스터의 드레인단과 상기 입출력 패드의 사이에 접속된 제2입출력라인; 상기 트랜지스터 드레인단측의 상기 제1 및 제2 입출력라인 상에 각기 형성되는 제1스위칭수단; 및 상기 제1스위칭수단과 병렬적으로 상기 제1 및 제2 입출력라인 상에 각기 형성되는 제1저항들; 상기 입출력 패드측의 상기 제1 및 제2 입출력라인 상에 각기 형성되는 제2스위칭수단들; 상기 제2스위칭수단과 병렬적으로 상기 제1 및 제2 입출력라인 상에 각기 형성되는 제2저항들; 상기 제1스위칭수단과 상기 제2스위칭수단 사이의 상기 제1 및 제2 입출력라인 상에 각기 형성되는 제3스위칭수단들을 구비하여, 상기 제1 내지 제3 스위칭수단은 SDR 모드 또는 DDR 모드의 선택에 따라 온 또는 오프되는 것을 특징으로 한다.

<28> 이하, 첨부된 도면을 참고하여, 본 발명의 바람직한 실시예들을 상세히 설명한다.

- <29> 도 3은 본 발명의 제1실시예에 따른 콤보형 SDRAM의 데이터 출력 드라이버를 개념적으로 나타낸 블록 구성도이다. 도면에서는 풀업 드라이버와 풀다운 드라이버를 하나로 도시하였으나, 이는 설명의 편의를 위한 것으로서 풀업 및 풀다운 드라이버는 각기 구성되게 된다.
- <30> 도 3을 참조하면, 풀업 및 풀다운 트랜지스터(310)의 드레인단(310a)과 데이터 입출력 패드(DQ PAD)(320) 사이에는 입출력라인(330)이 접속되어 있다. 그리고, 입출력라인(330) 상에 상호 병렬적으로 스위치(340)와 저항(350)이 형성되어 있다.
- <31> 스위치(340)은 SDR 모드 또는 DDR 모드의 선택에 따라 온 또는 오프되는 것으로서, 예컨대 DDR 모드 선택시에는 풀다운 트랜지스터(310)와 입출력패드(320) 사이에 형성된 스위치(340)를 오프시키면 풀다운 전류는 저항(350)을 통해 데이터 입출력 패드(320)로 흐르므로, DDR 모드에서 선형 영역의 IOL 특성을 IBIS 규격에 맞출수 있다. 즉, 도 2와 같이 저전압의 선형 영역에서 IOL값이 시스템 사용자가 원하는 최대값을 벗어나지 않게 할 수 있다.
- <32> 도 4는 본 발명의 제1실시예에 따른 콤보형 SDRAM의 데이터 스트로브 출력 드라이버를 개념적으로 나타낸 블록 구성도이다. 도면에서는 풀업 드라이버와 풀다운 드라이버를 하나로 도시하였으나, 이는 설명의 편의를 위한 것으로서 풀업 및 풀다운 드라이버는 각기 구성되게 된다.
- <33> 도 4를 참조하면, 풀업 및 풀다운 트랜지스터(410)의 드레인단(410a)과 데이터 스트로브 입출력 패드(DQS PAD)(420) 사이에는 입출력라인(430)이 접속되어 있다. 입출력라인(430) 상에 상호 병렬적으로 제1스위치(440)와 저항(450)이 형성되어 있다. 제1스위치(440)의 출력측 입출력라인(430)과 입출력 패드(420) 사이에는 제2스위치(460)이 형성되어 있다. 제2스위치(460)의 출력측의 입출력라인(430)과 접지전원단(VSS) 사이에는 제3스위치(470)가 형성되어 있다.

- <34> 제1 내지 제3 스위치(440, 460, 470)은 SDR 모드 또는 DDR 모드의 선택에 따라 온 또는 오프되는 것으로서, 예컨대 DDR 모드 선택시에는 풀다운 트랜지스터(410)와 입출력패드(420) 사이에 형성된 제1스위치(440)와, 제2스위치(460)을 오프시키고 제3스위치(370) 역시 오프시킨다. 반대로, SDR 모드 선택시에는 제2스위치(460)을 온 시키고 제3스위치(470)를 온 시킨다.
- <35> 이에 의해, DDR 모드에서는 데이터 스트로브 출력 드라이버의 풀다운 전류가 저항을 통해 패드쪽으로 흐르므로 IOL을 시스템 사용자가 요구하는 규격에 만족시킬수 있고, SDR 모드 선택시에는 드라이업단과 오픈된 상태에서 데이터 스트로브 입출력 패드(DQS PAD)(420)가 접지 전원에 연결되므로 데이터 스트로브 입출력 패드(DQS PAD)(420)의 플로팅을 방지할 수 있다.
- <36> 도 5는 본 발명의 제2실시예에 따른 콤보형 SDRAM의 데이터 출력 드라이버를 개념적으로 나타낸 구성도이다.
- <37> 풀업 및 풀다운 트랜지스터(510)의 드레인단(510a)과 데이터 입출력 패드(DQ PAD)(520) 사이에는 입출력라인(530)이 접속되어 있다. 풀업 및 풀다운 트랜지스터(510)의 드레인단(510a)측의 입출력라인(530) 상에는 상호 병렬적으로 제1스위치(540)와 제1저항(550)이 형성되어 있다. 데이터 입출력 패드(DQ PAD)(520)측의 입출력라인(530) 상에는 상호 병렬적으로 제2스위치(560)와 제2저항(570)이 형성되어 있다. 제1스위치(540)와 제2스위치(560) 사이의 입출력라인(530) 상에는 제3스위치(580)이 형성되어 있다. 그리고, 입출력패드(520)측의 입출력라인(530)에는 접지전원단(VSS)과의 사이에 제4스위치(590) 형성되어 있다.
- <38> 제1 내지 제4 스위치(540, 560, 580)은 SDR 모드 또는 DDR 모드의 선택에 따라 온 또는 오프되는 것으로서, 예컨대 DDR 모드 선택시에는 풀다운 트랜지스터(510)와 입출력패드(520)

사이에 형성된 제1 및 제 2 스위치(540, 560)을 오프시키고, 풀업 및 풀다운 드라이버의 입출력라인 상의 제4스위치(560)를 오프시키며, 제3스위치(580)는 온 시킨다. 반대로, SDR 모드 선택시에는 제1 내지 제3 스위치(540, 560, 580)를 모두 온 시키고, 제4스위치(590)를 오프시키면, SDR 모드에서 제1 및 제2 저항(550, 570)은 무의미한 것이 된다.

<39> 결국, 앞서 설명한 바와 같이, DDR 모드에서는 데이터 출력 드라이버의 풀다운 전류가 저항을 통해 패드쪽으로 흐르므로 IOL을 시스템 사용자가 요구하는 규격에 만족시킬수 있다. 즉, 본 발명은 콤보형 SDRAM에서 출력 드라이버의 형태가 동일하더라도 출력경로상에서 저항의 유/무가 스위칭되므로 SDR모드 및 DDR모드에서 시스템 사용자가 요구하는 IBIS를 모두 만족시킬 수 있다.

<40> 한편, 도 3에서 설명한 본 발명의 제1실시예에 따른 데이터 출력 드라이버는 본 발명의 목적 달성을 위한 이상적인 구성이지만, 도 5와 같은 제2실시예가 필요한 이유가 있다.

<41> 도 5와 같은 제2실시예가 필요한 이유는, DDR SDRAM에서 데이터(DQ) 출력 드라이버, 데이터 스트로브(DQS) 출력 드라이버, 그리고 데이터 마스크(DQM) 출력 드라이버가 모두 동일한 환경으로 설계되는 것이 바람직하기 때문이다.

<42> 즉, 데이터 스트로브 출력 드라이버의 경우에는 SDR 모드에서 사용되지 않기 때문에 드라이버단쪽의 입출력라인을 오픈시킨 상태에서 데이터 스트로브 입출력 패드를 접지전원단에 묶어주어야 하기 때문에, 제3스위치(580)와 제4스위치(590)이 필요하며, 데이터 마스크 출력 드라이버의 경우에는 DDR 모드의 라이트(Write) 구동시 사용되지 않기 때문에 - 읽기(Read) 구동시에는 사용된다 - 제3스위치(580)와 제4스위치(590)가 필요할 뿐만 아니라, 데이터 마스크

핀(Pin) - 데이터 마스크 입력 패드에 연결되는 핀 - 의 커패시터 특성을 고려하여 제2스위치(560)과 제2저항(570)이 더 필요한 것이다.

<43> 결국, 도 5에 도시된 데이터 출력 드라이버의 구성은 데이터 스트로브 출력 드라이버 및 데이터 마스크 출력 드라이버와 그 구성이 동일하며, 다만 SDR 모드 및 DDR 모드인지 그리고 어떤 드라이버인지에 따라 제1 내지 제4 스위치들의 온/오프가 달라진다.

<44> 도 3, 도 4 및 도 5에서 설명된 스위치들의 온/오프는 제1도전층 레이어의 국부적인 존재 유무에 의해 구현되고, 저항들은 제1도전층이 제2도전층에 콘택되어 제1도전층 및 제2도전층으로 경로가 형성되므로써 콘택저항 및 제2도전층의 쉬트(sheet) 저항에 의해 구현된다.

<45> 이를 도 6 및 도 7을 통해 구체적으로 설명한다. 도 6은 도 5의 각 스위치 및 저항을 도전층으로 구현한 예를 도시한 개념도이며, 도 7은 도 6의 도전층에 대한 평면도이다.

<46> 도 6을 참조하면, 드라이브 트랜지스터의 드레인단(610)은 제1도전층을 통해 패드에 접속된다. 또한, 다수의 콘택부(620, 630, 640, 650)에 의해 제1도전층은 제2도전층과 연결되어 있다.

<47> 예를 들어, DDR 모드가 선택되어 도 5의 제1 및 제2 스위치(540, 560)을 오프시키려면, 콘택부 610과 콘택부 630 사이의 제1도전층(650a)의 일부를 오픈시키고 콘택부 640과 콘택부 650 사이의 제1도전층(650b) 역시 일부를 오픈시키면 된다. 그러면, 제1 및 제2 저항(550, 570)은 제1, 제2, 제3, 제4 콘택부의 콘택저항 값과 제2도전층(660a, 660b)의 쉬트저항 값에 의해 결정되게 될 것이다.



- <48> 도 7에서, 참조번호 'M1'은 제1도전층, 'M0'는 제2도전층, 'M1C'는 제1도전층과 제2도전층 간의 콘택을 나타낸다.
- <49> 예를 들어, 도 7에 도시된 바와 같이 각 콘택부에 6개씩의 콘택이 이루어지고, 제2도전층의 폭(W)과 길이(L) 비율이 1/7로 레이아웃 되었다면, 그리고 풀업 드라이버단에 풀업 트랜지스터가 13개 레이아웃 된다면, 제1저항(550)과 제2저항(570)의 합은 최대값이 2.29Ω이 된다.
- <50> 도 8은 확장 모드 레지스터 세트(EMRS)에 제어받는 본 발명의 데이터 출력 드라이버의 구성을 도시한 도면으로서, 각 풀업 및 풀다운 드라이버의 출력 경로마다 본 발명에 따른 스위치 및 저항(SW/R)이 형성되어 있음을 알 수 있다.
- <51> 구체적으로 설명하면, 입출력라인(IO)을 통해서 데이터 패드(DQ PAD)에 풀업 드라이버단(810)와 풀다운 드라이버단(820)의 각 출력단이 공통접속되어 연결되는 구성으로서, 풀업 제어신호 UP1B, UP2B, UP3B와 풀다운 제어신호 DN1, DN2, DN3에 의해 공급전압 VDDQ 또는 공급전압 VSSQ에 대응하는 데이터를 입출력라인(IO)을 통해 데이터 패드(DQ PAD)에 출력한다.
- <52> 이때, 앞서 설명한 바와 같이 입출력라인(IO) 상에는 스위치 및 저항이 병렬 접속되어 있고, 풀다운 드라이버단의 출력경로에 있는 스위치(SW)들은 DDR 모드에서 오프되어 풀다운 전류는 저항(R)을 통해 감소하게 된다.
- <53> 풀업 드라이버단(810)는 3개의(도 1에서는 3개만을 도시하였으나 그 이상이 그 이하가 될 수도 있다) 풀업 드라이버(811, 812, 813)로 구성되며, 각기 확장 모드 레지스터 세트(EMRS: Extended Mode Resister Set)으로부터 제공되는 풀업 제어신호 UP1B, UP2B, UP3B에 의

해 구동된다. 예컨대 풀 스트렝스(Full Strength)로 구동할 것인지 또는 하프 스트렝스(Half Strength)로 구동할 것인지에 따라 활성화되는 풀업 제어신호는 달라진다. 즉, 풀 스트렝스(Full Strength)로 구동할 때에는 모든 풀업 제어신호 UP1B, UP2B, UP3B가 활성화되어 모든 풀업드라이버(811, 812, 813)가 인에이블되므로써 최대의 풀업 전류량이 흐르게 된다. 그리고, 풀 스트렝스(Full Strength)로 구동할 때 모든 풀다운 제어신호 DN1, DN2, DN3가 활성화되어 모든 풀다운 드라이버(811, 812, 813)가 인에이블되므로써 최대의 풀다운 전류량이 흐르게 된다.

<54> 한편, 설명의 편의를 위하여 도 1에서는 풀업 및 풀다운 드라이버를 각각 하나의 PMOS 또는 NMOS 트랜지스터로 도시하였으나, 하나의 드라이버는 다수의 트랜지스터로 구성된다. 그리고, 풀업 드라이버(811)과 풀업 드라이버(812)는 서로 다른 PMOS 트랜지스터의 갯수로 구성되거나 또는 서로 같은 개수로 구성될 수 있다. 풀다운 드라이버도 마찬가지이다.

<55> 도 9a 및 도 9b는 도 7에 도시된 본 발명에 따른 데이터 출력 드라이버의 실시예에 대해서 시뮬레이션을 수행한 결과를 보여주기 위한 도면이다. 도 9a는 SDR에서의 IOL 전류를 보여주는 데 저속(SLOW)/중속(TYP)/고속(FAST) 조건 모두 규격의 최소값과 최대값 사이에 분포한다. 도 9b는 DDR에서의 IOL 전류를 보여주는 데, 도 2와 달리 가장 나쁜 고속 작동 조건에서도 선형 영역에서 IBIS 규격을 만족하고 있다.

<56> 지금까지 첨부된 도면을 참고하여 본 발명의 다양한 실시예를 설명하였으나, 본 발명은 이러한 실시예에 한정되지 않으며 본 발명의 기술적 사상을 벗어나지 않는 범위에서 다양한 변경 실시가 가능하다.

<57> 또한, 도 3, 도 4 및 도 5에 도시된 것에 구성에 한정되지 않으며, 동일한 기능을 한다면, 다른 형태로 구성될 수도 있다.

【발명의 효과】

<58> 전술한 바와 같은 구성의 본 발명을 제공함으로써, SDR 및 DDR 모드를 지원하는 콤보형 SDRAM에서 단지 제1도전층 레이어의 마스크 옵션 처리에 의한 간단한 변경만으로 SDR에서는 물론 DDR에서도 출력 전압/전류 특성이 IBIS에 적합하게 된다.

【특허청구범위】**【청구항 1】**

SDR 모드 및 DDR 모드를 지원하는 콤보형 동기식 디램의 데이터(DQ) 출력 드라이버에 있어서,

풀업 트랜지스터의 드레인단과 데이터 입출력 패드 사이에 접속된 제1입출력라인;

풀다운 트랜지스터의 드레인단과 상기 데이터 입출력 패드의 사이에 접속된 제2입출력라인;

상기 제1 및 제2 입출력라인 상에 각기 형성되는 스위칭수단들; 및

상기 스위칭수단과 병렬적으로 상기 제1 및 제2 입출력라인 상에 각기 형성되는 저항들을 구비하며,

상기 스위칭수단들은 SDR 모드 또는 DDR 모드의 선택에 따라 온 또는 오프되는 것을 특징으로 하는 콤보형 동기식 디램의 데이터 출력 드라이버.

【청구항 2】

제1항에 있어서,

상기 제1 및 제2 입출력라인은 각각 제1도전층이고, 상기 저항은 상기 제1도전층과 콘택되는 제2도전층을 포함하는 것을 특징으로 하는 콤보형 동기식 디램의 데이터 출력 드라이버.

【청구항 3】

제2항에 있어서,

상기 제1도전층상의 제1노드 및 제2노드 - 상기 제1노드 및 제2노드에서 상기 제1도전층은 상기 제2도전층과 콘택됨 - 사이에서 상기 제2도전층이 존재하지 않는 것에 의해서 상기 스위칭수단의 오프가 구현되는 것을 특징으로 하는 콤보형 동기식 디램의 데이터 출력 드라이버.

【청구항 4】

제1항 내지 제3항 중 어느 한 항에 있어서,

DDR 모드의 선택시에 상기 제2입출력라인상의 스위칭수단이 오프되어, 상기 풀다운 트랜지스터의 드레인단이 상기 저항을 통해 상기 데이터 입출력 패드에 접속되는 것을 특징으로 하는 콤보형 동기식 디램의 데이터 출력 드라이버.

【청구항 5】

제2항에 있어서,

상기 제1도전층과 상기 제2도전층간의 콘택 갯수에 의해 상기 저항의 저항값이 결정되는 것을 특징으로 하는 콤보형 동기식 디램의 데이터 출력 드라이버.

【청구항 6】

제2항에 있어서,

상기 제2도전층의 폭/길이 비에 의해 상기 저항의 저항값이 결정되는 것을 특징으로 하는 콤보형 동기식 디램의 데이터 출력 드라이버.

【청구항 7】

SDR 모드 및 DDR 모드를 지원하는 콤보형 동기식 디램의 데이터 스트로브 출력 드라이버에 있어서,

풀업 트랜지스터의 드레인단과 데이터 스트로브 입출력 패드 사이에 접속된 제1입출력 라인;

풀다운 트랜지스터의 드레인단과 상기 데이터 스트로브 입출력 패드의 사이에 접속된 제2입출력라인;

상기 제1 및 제2 입출력라인 상에 각기 형성되는 제1스위칭수단; 및

상기 제1스위칭수단과 병렬적으로 상기 제1 및 제2 입출력라인 상에 각기 형성되는 저항들; 및

상기 제1스위칭수단 출력측의 제1 및 제2 입출력라인과 상기 데이터 스트로브 출력 패드 사이에 각기 형성되는 제2스위칭수단들;

상기 제2스위칭수단 출력측의 제1 및 제2 입출력라인과 접지전원단 사이에 각기 형성된 제3스위칭수단들을 구비하며,

상기 제1 내지 제3 스위칭수단은 SDR 모드 또는 DDR 모드의 선택에 따라 온 또는 오프 되는 것

을 특징으로 하는 콤보형 동기식 디램의 데이터 스트로브 출력 드라이버.

【청구항 8】

제7항에 있어서,

상기 제1 및 제2 입출력라인은 각각 제1도전층이고, 상기 저항은 상기 제1도전층과 콘택되는 제2도전층을 포함하는 것을 특징으로 하는 콤보형 동기식 디램의 데이터 스트로브 출력 드라이버.

【청구항 9】

제8항에 있어서,

상기 제1도전층상의 제1노드 및 제2노드 - 상기 제1노드 및 제2노드에서 상기 제1도전층은 상기 제2도전층과 콘택됨 - 사이에서 상기 제2도전층이 존재하지 않는 것에 의해서 상기 제1스위칭수단의 오프가 구현되는 것을 특징으로 하는 콤보형 동기식 디램의 데이터 스트로브 출력 드라이버.

【청구항 10】

제7항 내지 제9항 중 어느 한 항에 있어서,

DDR 모드의 선택시에 상기 제2입출력라인상의 제1스위칭수단이 오프되어, 상기 풀다운 트랜지스터의 드레인단이 상기 저항을 통해 상기 데이터 스트로브 입출력 패드에 접속되는 것을 특징으로 하는 콤보형 동기식 디램의 데이터 스트로브 출력 드라이버.

【청구항 11】

제7항에 있어서,

상기 제2스위칭수단은 SDR 모드에서 오프되고 상기 제3스위칭수단은 SDR 모드에서 온되어, 상기 제2스위칭수단 출력측의 제1 및 제2 입출력라인이 플로팅되는 것을 방지하는 것을 특징으로 하는 콤보형 동기식 디램의 데이터 스트로브 출력 드라이버.

【청구항 12】

제8항에 있어서,

상기 제1도전층이 국부적으로 존재하지 않는 것에 의해서 상기 제2 및 제3 스위칭수단의 오프가 구현되는 것을 특징으로 하는 콤보형 동기식 디램의 데이터 스트로브 출력 드라이버.

【청구항 13】

제8항에 있어서,

상기 제1도전층과 상기 제2도전층간의 콘택 갯수에 의해 상기 저항의 저항값이 결정되는 것을 특징으로 하는 콤보형 동기식 디램의 데이터 스트로브 출력 드라이버.

【청구항 14】

제8항에 있어서,

상기 제2도전층의 폭/길이 비에 의해 상기 저항의 저항값이 결정되는 것을 특징으로 하는 콤보형 동기식 디램의 데이터 스트로브 출력 드라이버.



【청구항 15】

데이터 출력 드라이버와 데이터 스트로브 출력 드라이버 및 데이터 마스크 드라이버를 구비하며 SDR 모드 및 DDR 모드를 지원하는 콤보형 동기식 디램에 있어서,

상기 데이터 출력 드라이버와 데이터 스트로브 출력 드라이버 및 데이터 마스크 드라이버는 각각,

풀업 트랜지스터의 드레인단과 입출력 패드 사이에 접속된 제1입출력라인;

풀다운 트랜지스터의 드레인단과 상기 입출력 패드의 사이에 접속된 제2입출력라인;

상기 트랜지스터 드레인단측의 상기 제1 및 제2 입출력라인 상에 각기 형성되는 제1스위칭수단; 및

상기 제1스위칭수단과 병렬적으로 상기 제1 및 제2 입출력라인 상에 각기 형성되는 제1저항들;

상기 입출력 패드측의 상기 제1 및 제2 입출력라인 상에 각기 형성되는 제2스위칭수단들;

상기 제2스위칭수단과 병렬적으로 상기 제1 및 제2 입출력라인 상에 각기 형성되는 제2저항들;

상기 제1스위칭수단과 상기 제2스위칭수단 사이의 상기 제1 및 제2 입출력라인 상에 각기 형성되는 제3스위칭수단들을 구비하여,

상기 제1 내지 제3 스위칭수단은 SDR 모드 또는 DDR 모드의 선택에 따라 온 또는 오프되는 것

을 특징으로 하는 콤보형 동기식 디램.

【청구항 16】

제15항에 있어서,

상기 데이터 스트로브 출력 드라이버는 상기 제2스위칭수단 출력측의 제1 및 제2 입출력 라인과 접지전원단 사이에 각기 형성된 제4스위칭수단들을 더 포함하는 것을 특징으로 하는 콤보형 동기식 디램.

【청구항 17】

제15항 또는 제16항에 있어서,

상기 제1 및 제2 입출력라인은 각각 제1도전층이고, 상기 제1 및 제2 저항은 상기 제1도전층과 콘택되는 제2도전층을 포함하는 것을 특징으로 하는 콤보형 동기식 디램.

【청구항 18】

제17항에 있어서,

상기 제1도전층상의 제1노드 및 제2노드 - 상기 제1노드 및 제2노드에서 상기 제1도전층은 상기 제2도전층과 콘택됨 - 사이에서 상기 제2도전층이 존재하지 않는 것에 의해서 상기 제1 및 제2 스위칭수단의 오프가 구현되는 것을 특징으로 하는 콤보형 동기식 디램.

【청구항 19】

제15항, 제16항 또는 제18항중 어느 한 항에 있어서,

DDR 모드의 선택시에 상기 제2입출력라인상의 제1스위칭수단이 오프되어, 상기 풀다운 트랜지스터의 드레인단이 상기 저항을 통해 상기 입출력 패드에 접속되는 것을 특징으로 하는 콤보형 동기식 디램.

【청구항 20】

제16항에 있어서,

상기 데이터 스트로브 출력 드라이버의 상기 제3스위칭수단은 SDR 모드에서 오프되고 상기 제4스위칭수단은 SDR 모드에서 온되어, 상기 제2스위칭수단 출력측의 제1 및 제2 입출력 라인이 플로팅되는 것을 방지하는 것

을 특징으로 하는 콤보형 동기식 디램.

【청구항 21】

제15항 또는 제16항에 있어서,

상기 제1 및 제2 입출력라인은 각각 제1도전층이고, 상기 제1도전층이 국부적으로 존재하지 않는 것에 의해서 상기 제2, 제3 및 제4 스위칭수단의 오프가 구현되는 것을 특징으로 하는 콤보형 동기식 디램.



【청구항 22】

제17항에 있어서,

상기 제1도전층과 상기 제2도전층간의 콘택 갯수에 의해 상기 저항의 저항값이 결정되는 것을 특징으로 하는 콤보형 동기식 디램.

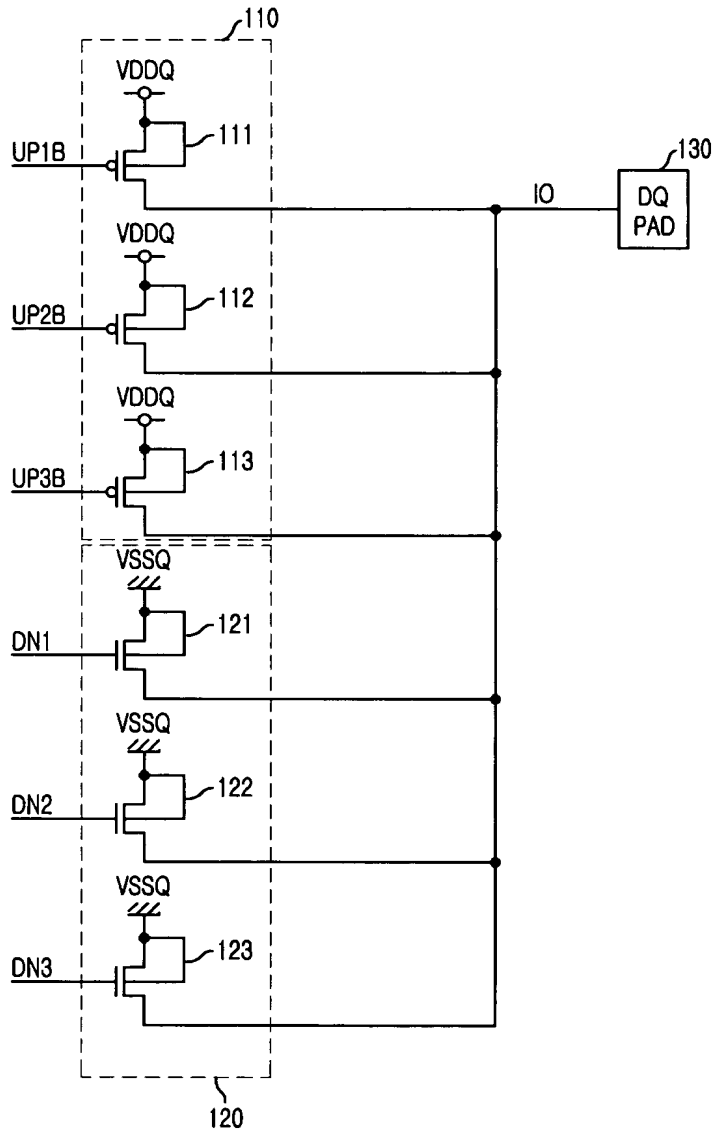
【청구항 23】

제17에 있어서,

상기 제2도전층의 폭/길이 비에 의해 상기 저항의 저항값이 결정되는 것을 특징으로 하는 콤보형 동기식 디램.

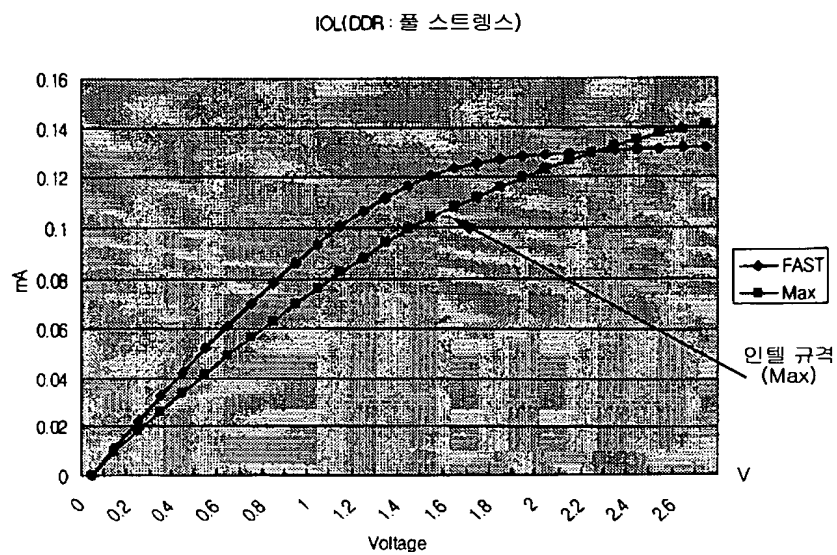
【도면】

【도 1】

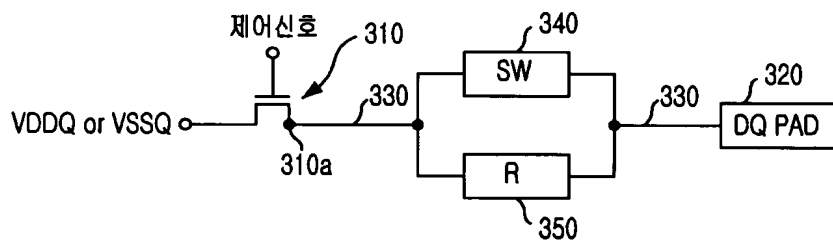




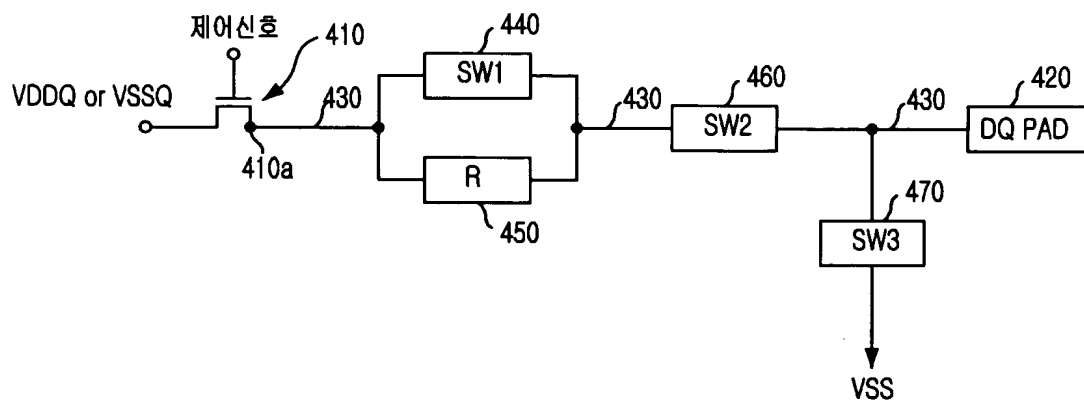
【도 2】



【도 3】



【도 4】

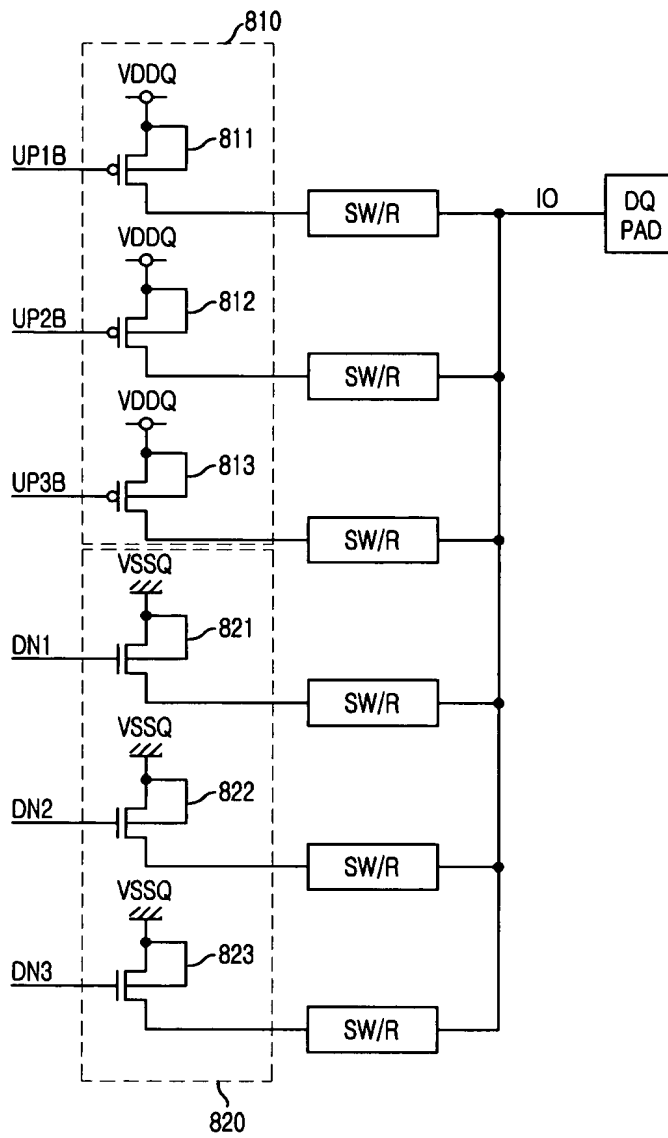


The diagram illustrates a memory array structure. A horizontal line represents a word line, with a control signal (제어신호) applied to it. The word line is connected to a series of memory cells (660a, 660b) through access transistors (620, 630, 640). The memory cells are connected to a data line (DQ PAD) through bit lines (650a, 650b). The diagram also shows a power supply connection (VDDQ or VSSQ) to the word line through a transistor (610a). A legend indicates that the solid line represents a contact (컨택), the hatched area represents the first word line (제1 도전층), and the cross-hatched area represents the second word line (제2 도전층).

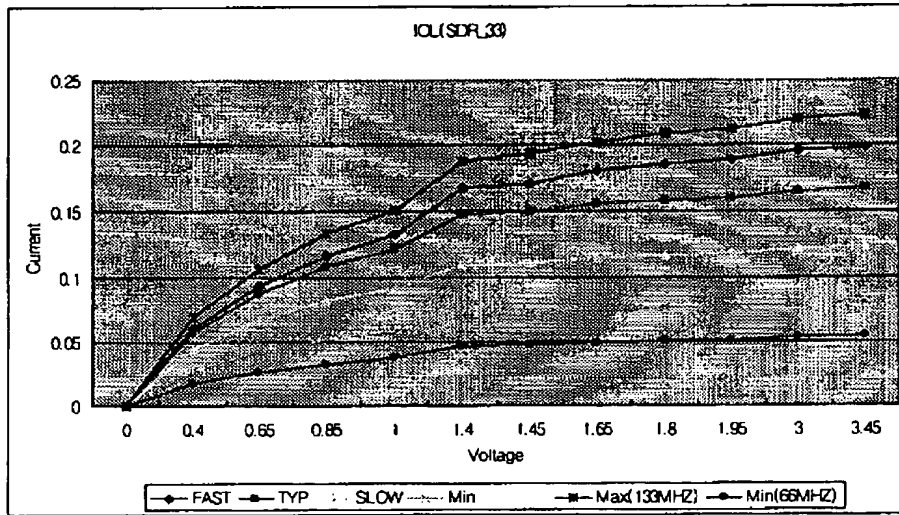
29-27



【도 8】

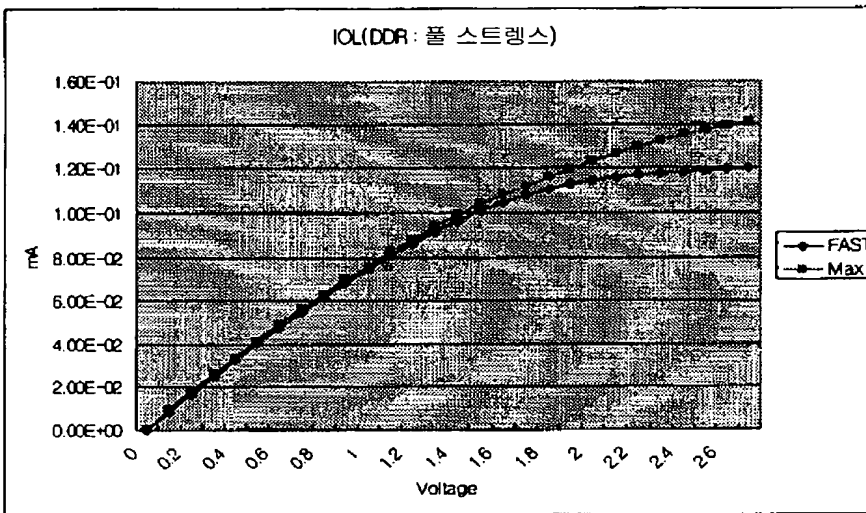


【도 9a】



SDR(3.3V)

【도 9b】



DDR